

Full Text

AN 1996:386072 CAPLUS

DN 125:46741

TI Manufacture of SOI wafers

IN Nakayoshi, Juichi; Ishii, Akihiro; Fukunaga, Toshia

PA Kyushu Komatsu Denshi Kk, Japan; Komatsu Denshi Kinzoku Kk

SO Jpn. Kokai Tokkyo Koho, 4 pp.

CODEN: JKXXAF

DT Patent

LA Japanese

FAN.CNT 1

PATENT NO. KIND DATE APPLICATION NO. DATE

PI JP 08107091 A2 19960423 JP 1994-274176 19940930

PRAI JP 1994-274176 19940930

AB Support and active semiconductor substrates (e.g., Si) are attached into single wafers, and the peripheries of active substrates are cut off, and the residues are removed by etching, where mixed acid solns. (e.g., HF and HNO<sub>3</sub>) are sprayed onto the wafers from nozzles in alternating motion while the wafers are rotated on a horizontal plane so that the solns. are radially outwardly spread by centrifugal force.

L1: Entry 2 of 3

File: DWPI

Apr 23, 1996

DERWENT-ACC-NO: 1996-257214

DERWENT-WEEK: 199729

COPYRIGHT 2003 DERWENT INFORMATION LTD

TITLE: Silicon-on-insulator substrate processing for semiconductor wafer - etching remains layer of chamfer part of active substrate after washing it away from semiconductor wafer periphery through centrifugal force

PRIORITY-DATA: 1994JP-0274176 (September 30, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08107091 A	April 23, 1996		004	H01L021/304
TW 303484 A	April 21, 1997		000	H01L021/08

INT-CL (IPC): H01 L 21/08; H01 L 21/304; H01 L 22/12

ABSTRACTED-PUB-NO: JP 08107091A

BASIC-ABSTRACT:

The method entails removing a remains layer (2a) through rotary centrifugal force. The remains layer acts as the chamfer part of an active substrate (2) located between oxide films (3, 4). The bonded semiconductor wafer which functions as a support substrate (1) is rotated. Crossing and moving of the semiconductor wafer from a nozzle (6) to a fixed width (W) in the upper surface of the active substrate is performed.

The nozzle washes the periphery of the semiconductor wafer with its centrifugal force. At this point, nitrogen gas (7) is sprayed on the bounded side of the support substrate to counteract the force from the nozzle of the back-side support substrate.

ADVANTAGE - Efficiently removes active substrate remains layer of SOI substrate; reduces generation of defective goods. Has faster etching rate for high productivity. Prevents formation of crack as nitrogen gas prevents fluid from going on backside of support substrate.

L2: Entry 2 of 3

File: JPAB

PUB-NO: JP408107091A

DOCUMENT-IDENTIFIER: JP 08107091 A  
TITLE: MANUFACTURE OF SOI SUBSTRATE

PUBN-DATE: April 23, 1996

INVENTOR- INFORMATION:

NAME COUNTRY

NAKAYOSHI, YUICHI  
ISHII, AKIHIRO  
FUKUNAGA, TOSHIYA

INT-CL (IPC) : H01 L 21/304; H01 L 21/304; H01 L 27/12

ABSTRACT:

PURPOSE: To prevent the generation of defective units by efficiently removing a residual layer of an active substrate of an SOI substrate by etching.

CONSTITUTION: A semiconductor wafer acting as an active substrate 2 is stuck to a semiconductor wafer acting as a supporting substrate 1 and the circumferential edge of the active substrate 2 is chamfered and after that, when the residual layer 2a of the chamfered part is removed by etching, the stuck semiconductor wafer is rotated and a mixed acid is given from a reciprocating nozzle 6 to a fixed width from the nearly center on the surface of the active substrate. The mixed acid is washed away to the circumferential edge of the semiconductor wafer by the centrifugal force of rotation to etch the residual layer 2a. At that time, nitrogen gas is sprayed from a nozzle 7 provided in the rear surface of the supporting substrate 1 to the circumferential side of the supporting substrate 1 to prevent the mixed acid from reaching the rear surface of the supporting substrate 1.

File: JPAB

Apr 23, 1996

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-107091

(43) 公開日 平成8年(1996)4月23日

(51) Int.Cl.  
H 01 L 21/304  
27/12

識別記号  
301 B  
341 L  
B

F I

技術表示箇所

(21) 出願番号 特願平6-274176  
(22) 出願日 平成6年(1994)9月30日

(71) 出願人 392006868  
九州コマツ電子株式会社  
宮崎県宮崎郡清武町大字木原1112番地  
(71) 出願人 000184713  
コマツ電子金属株式会社  
神奈川県平塚市四之宮2612番地  
(72) 発明者 中▲吉▼ 雄一  
宮崎県宮崎郡清武町大字木原1112番地 九州  
州コマツ電子株式会社内  
(72) 発明者 石井 明洋  
宮崎県宮崎郡清武町大字木原1112番地 九州  
州コマツ電子株式会社内  
(74) 代理人 弁理士 衛藤 彰

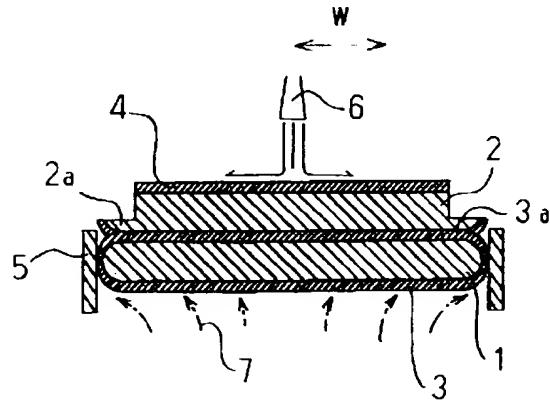
最終頁に続く

(54) 【発明の名称】 SOI基板の製法

(57) 【要約】

【目的】 SOI基板の活性基板残留層をエッチングで効率的に除去し、欠陥品の発生を少なくする。

【構成】 支持基板1として機能する半導体ウェハと、活性基板2として機能する半導体ウェハとを貼り合わせ、活性基板2の周縁を面取りした後、面取り部の残留層2aをエッチングで除去するに際して、貼り合わせた半導体ウェハを回転させ、活性基板上面の略中央から一定の幅Wにわたって往復移動するノズル6から混酸を付与する。混酸は、回転による遠心力で半導体ウェハの周縁に押し流されて、残留層2aをエッチングする。この時、支持基板1の裏面に設けられたノズル7から窒素ガスを支持基板1の周側へと吹き付けて、混酸が支持基板1の裏面に回り込むのを防止する。



1

## 【特許請求の範囲】

【請求項1】 支持基板として機能する半導体ウェハと、活性基板として機能する半導体ウェハとを貼り合わせ、活性基板の周縁を面取りした後、面取り部の残留層をエッチングで除去し、SOI基板を製作するに際して、貼り合わせた半導体ウェハを回転させ、混酸を活性基板上面の略中央から一定の幅にわたって移動しながら付与し、回転による遠心力で半導体ウェハの周縁に押し流して、面取り部の残留層をエッチングするようにしたSOI基板の製法。

【請求項2】 混酸がフッ化水素酸、硝酸、硫酸及び正リン酸を含む請求項1記載のSOI基板の製法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、支持基板として機能する半導体ウェハと、活性基板として機能する半導体ウェハとを貼り合わせて、活性基板の周縁を面取りした後、テラス残留層をエッチングで除去するSOI基板の製法に関するものである。

## 【0002】

【従来の技術】近年、高性能の半導体ディバイス用基板として、高耐圧性や高速性などの点からSOI基板が要求される。この種の要求を満たす大面積で結晶欠陥の少ないSOI基板は、2枚のウェハを貼り合わせて比較的容易に作れる。貼り合わせは、一般的には図2に示す工程で行われる。先ず図2(イ)に示すように、支持基板1となる半導体ウェハの接合面を鏡面仕上げした後、熱処理して酸化膜3を形成する。次に活性基板2の接合面を鏡面仕上げして重ね合わせる。この両基板1、2の鏡面仕上げ面を洗浄、親水処理、乾燥した直後、まだ親水性を保持した状態で接合し、再度熱処理して、図2(ロ)に示すように、接合面を貼着するとともに、活性基板2も酸化膜4でおおわれたSOI原基板を得る。この時、接合面の酸化膜3が中間酸化膜層3aとなる。熱処理は親水性を保った状態で行われるので、残留水酸基や水素イオンが接合面の外周に集まって気泡となり、周縁に不完全接着部(ボイド)が発生する(図示しない)。不完全接着部は他の部位より強度が落ちるので、後の工程でチッピングやパーティクル発生の原因となる。このため、図2(ハ)に示すように、不完全接着部を含む活性基板2の周縁部を研削して面取りする。面取りは、研削時中間酸化膜3aを傷つけないように、厚さ数10μm程度の活性基板2aを残して行う。面取り部のテラス残留層2aは、SOI原基板1をキャリヤに装填してエッチング液に浸漬して、図2(ニ)に示すように除去する。活性基板2は、図2(ホ)に示すように、所定の厚さまで研削や研磨で薄膜化する。支持基板1の酸化膜3は図2(ヘ)に示すように、フッ化水素溶液で除去する。最後に活性基板2を研磨してさらに薄膜化し、図2(ト)に示すSOI基板を得る。

2

【0003】従来、SOI原基板における活性基板2の残留層2aを除去するエッチングは浸漬によっていた。この場合、基板全体をエッチング液に浸漬する関係上、シリコン(Si)と酸化膜(SiO<sub>2</sub>)の腐食選択比の大きいエッチング液を使用しなければならず、これまでにはアルカリ金属の水酸化溶液、例えば水酸化カリウム溶液を用いていた。しかしながら、アルカリ金属の水酸化溶液は、前記選択比が大きい代わりに、エッチングレートが遅く生産性が悪かった。またSOI基板の絶縁膜となる中間酸化膜層3aの薄膜化に伴い、活性基板2の残留層2aが完全に除去される前に支持基板1の酸化膜3が溶解され、支持基板1のテラスの円周方向にV溝が発生し易く、裏面のキズも助長し勝ちであった。したがってこれらに起因する欠陥不良品が多く、歩留まりの低下をもたらしていた。逆に言えばこのことが中間酸化膜の一層の薄膜化による高性能SOI基板の製造を阻害していた。さらに、アルカリ金属水酸化物は、アルカリ金属が熱処理で不純物として発散するおそれもあった。またこの浸漬法でエッチングレートの速い酸を使用すると、活性基板2の残留層2aのみならず、酸化膜3及び4が腐食されるおそれがあった。

## 【0004】

【発明が解決しようとする課題】本発明は、上記の如き問題点を解決したもので、エッチングレートの速い酸の使用を可能にした生産性の高い高品位のSOI基板の製法を提供することを目的としている。

## 【0005】

【課題を解決するための手段】前記目的を達成した本発明のSOI基板の製法は、支持基板として機能する半導体ウェハと、活性基板として機能する半導体ウェハとを貼り合わせ、活性基板の周縁を面取りした後、面取り部の残留層をエッチングで除去し、SOI基板を製作するに際して、貼り合わせた半導体ウェハを回転させ、混酸を活性基板上面の略中央から一定の幅にわたって移動しながら付与し、回転による遠心力で半導体ウェハの周縁に押し流して、面取り部の残留層をエッチングするようにしたことを特徴としている。

【0006】混酸には、フッ化水素酸、硝酸、硫酸及び正リン酸の4種の酸を含むものを使用する。使用する酸の濃度としては、例えばフッ化水素50%、硝酸70%、硫酸96%、正リン酸85%程度のものを用いる。酸の混合比は、任意に選択すればよい。

【0007】半導体ウェハの回転は、回転台の真空チャックで三方あるいは四方から吸着して行う。また半導体ウェハの裏面から周側に向けて不活性ガスを吹き付け、混酸が支持基板の裏面に回り込むのを防止するのが望ましい。

## 【0008】

【作用】本発明では、エッチングレートの速い混酸の使用により生産性が向上する。ちなみに、Siのエッチ

3

グレートは、浸漬法のエッティング液に使用する水酸化カリウムで $1\text{--}1\mu\text{m}/\text{min}$ 、本発明の混酸で $10\text{--}40\mu\text{m}/\text{min}$ となる。混酸の付与は、装置の機構上の制約から活性基板上面中央部から行うが、半導体ウェハを回転させるスピニエッティングにより、混酸は回転遠心力で周縁に押し流され、活性基板の周縁面取り部の残留層を効率よく腐食する。また、混酸の付与を一点で行わず、活性基板の中心から一定幅にわたって移動させながら行うことにより、エッティングレートの速い混酸を使用しているにもかかわらず、活性基板の酸化膜が部分的に10 残留層のシリコンより早く腐食されるおそれはない。

## 【0009】

【実施例1】図1において、支持基板1には接合面をあらかじめ鏡面仕上げの後、酸化膜3が形成されている。支持基板1の上には、活性基板2が接合されている。活性基板2は、接合面をあらかじめ鏡面仕上げして支持基板1に、図2(イ)に示すように重ね、図2(ロ)に示すように酸化膜を形成して、図2(ハ)に示すように研削して面取りしてある。2aは面取り後の活性基板テラス残留層であり、3aは接合面の中間酸化膜層を示す。

【0010】活性基板2のテラス残留層2aのエッティングには、エッティング液としてエッティングレートの速い混酸を使用する。このためエッティングは、エッティング液への基板の浸漬に代えて、ノズル6から活性基板2へエッティング液を付与して行う。エッティング液は、理想的には活性基板1のテラス残留層2aに対してのみ付与すればよいが、装置の機構的制約から活性基板1の中央部から行う。このため本発明では、支持基板1の周側を回転台(図示せず)の真空チャック5で吸着支持し、SOI原基板全体を回転させながら、混酸を回転中の活性基板2の上方中央部に設けられたノズル6から付与する。回転速度は $800\text{--}1,200\text{ rpm}$ 、特に $1,000\text{ rpm}$ が望ましい。真空チャック5は3~4ヶ所程度設ける。ノズル6は一定の幅Wだけ往復移動できるようにし、混酸が活性基板1の一点に集中し、その部分の酸化膜4をテラス残留層2aより早く腐食するのを防止する。付与された混酸は、回転による遠心力で活性基板1の周縁に押し流され、テラス残留層2aを効率よく腐食し、図2

4

(ロ)に示すように除去する。最終的には、テラスのSi残厚は $100\mu\text{m}$ 以下となる。この時、窒素ガス7を支持基板1の裏面から周側へと吹き付けて、混酸が支持基板1の裏面に回り込むのを防止する。

【0011】次いで、活性基板2は常法により、図2(ホ)に示すように、所定の厚さまで研削や研磨で薄膜化する。支持基板1の酸化膜3は、図2(ヘ)に示すように、フッ化水素溶液で除去する。最後に活性基板2は研磨してさらに薄膜化し、図2(ト)に示すSOI基板を得る。

## 【0012】

【発明の効果】本発明のスピニエッティング法によれば従来の浸漬法に比べ次の利点がある。

(1). エッティングレートの速い混酸を使用することができ、生産性が高い。一枚当たりの加工時間では、搬送時間を含めても約120分である。

(2). エッティング液を活性基板上面から移動させながら付与するので、エッティングレートの速い混酸でも、活性基板の酸化膜(SiO<sub>2</sub>)がテラス部のSi残厚より部分的に早く腐食され、欠陥品となるおそれがない。

(3). 不活性ガスの付与により、支持基板の裏面に混酸が回り込むことがないので、キズができたり助長されることがない。

## 【図面の簡単な説明】

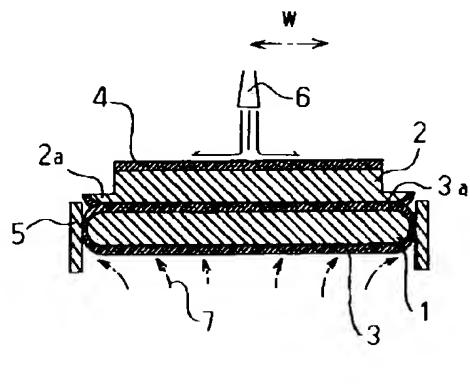
【図1】本発明に係わるSOI基板の製法の一例を模式的に示す側断面図である。

【図2】一般的なSOI基板製造プロセスにおけるSOI基板中間品の推移を示す側断面図である。

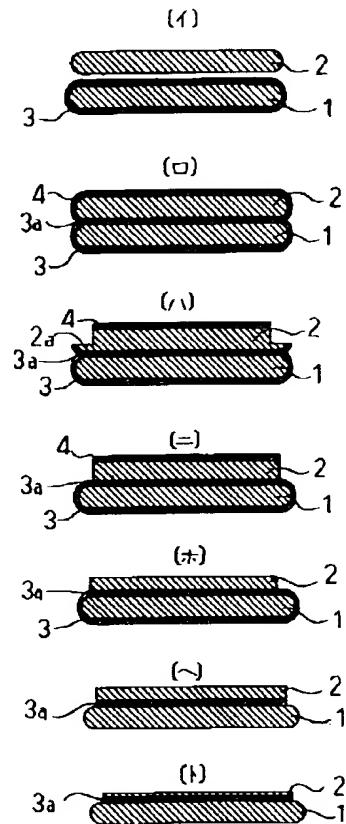
## 【符号の説明】

- 30 1……支持基板
- 2……活性基板
- 2a…残層
- 3……酸化膜
- 3a…中間酸化膜層
- 4……酸化膜
- 5……真空チャック
- 6……混酸ノズル
- 7……窒素ガス

【図1】



【図2】



フロントページの続き

(72)発明者 福永 寿也

宮崎県宮崎郡清武町大字木原1112番地 九  
州コマツ電子株式会社内